

5

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-192044

⑮ Int. Cl.⁵
G 06 F 11/30

識別記号 庁内整理番号
3 1 0 B 7165-5B

⑬ 公開 平成4年(1992)7月10日

審査請求 未請求 請求項の数 2 (全9頁)

⑭ 発明の名称 ウォッチドッグタイマー回路

⑯ 特 願 平2-327033

⑰ 出 願 平2(1990)11月27日

⑱ 発 明 者 三 澤 正 幸 東京都千代田区外神田4丁目11番5号 株式会社船井電機
研究所内

⑲ 出 願 人 株式会社船井電機研究 東京都千代田区外神田4丁目11番5号
所

明 細 書

1. 発明の名称

ウォッチドッグタイマー回路

2. 特許請求の範囲

(1) システムからのウォッチドッグタイマーパルスを受信してその断を検出し、断検出信号を出力するウォッチドッグタイマー回路であって、時定数回路を有するパワーオンリセット回路と、モノマルチバイブレータと、該モノマルチバイブレータに接続した第2の時定数回路とからなり、モノマルチバイブレータの入力ポートには上記ウォッチドッグタイマーパルスと上記パワーオンリセット回路からの出力を入力し、ウォッチドッグタイマーパルスの入力途絶えてから上記第2の時定数回路で決定される一定時間後にモノマルチバイブレータの出力ポートから上記断検出信号を出力させることを特徴とするウォッチドッグタイマー回路。

(2) 上記断検出信号を第2のモノマルチバイブレータに入力すると共に、この第2のモノマルチバ

イブレータに第3の時定数回路を接続し、断検出信号が入力されてから上記第3の時定数回路で決定される一定時間後に、第2のモノマルチバイブレータの出力ポートから第1のモノマルチバイブレータへクリア信号を出力させることを特徴とするウォッチドッグタイマー回路。

3. 発明の詳細な説明

[産業上の利用分野]

本発明はマイクロコンピュータ等の論理システムに接続し、当該システムから一定周期で発信されるウォッチドッグタイマー用パルスの断、停止を検出して、断検出信号を出力するウォッチドッグタイマー回路に関する。

[従来の技術]

マイクロコンピュータ等の論理システムは、システムの暴走が生じた時にはいち早くリセットをかけて被害が大きくなるようにしなければならぬので、通常そのシステムのソフトウェア内に、一定周期ごとにパルスを送る命令を組込んでおき、かつこのパルスを受信するパルス監視回

路いわゆるウォッチドッグタイマー回路を接続してある。

そして、上記ウォッチドッグタイマー回路は、上記パルスが一定周期で送られてくるのを監視していて、一定周期を越えてある時間(途絶時間)内にパルスの受信がなかった場合には、断検出信号を出力し、上記論理システムに停止信号を出しリセットをかける。

すなわち、これを詳細に説明すると、第11図にブロック図、第12図に信号のタイムチャートを示したようになる。

第11図において(1)がマイクロコンピュータなどのシステム、(2)がウォッチドッグタイマー回路である。

電源投入後、電圧(Vcc)が一定値にまで上昇すると、ウォッチドッグタイマー回路(2)のリセット出力(3)が「ハイ」になり、反リセット出力(4)が「ロー」になる。そして、電圧(Vcc)が一定値(Vsh)にまで上がるとコンデンサ(Ct)の充電が始まり、このコンデンサの容量で決る一定時間(Tpr)後

$Tpr(ms)=1000 \times Ct(\mu F)$ 、 $Twd(ms)=100 \times Ct(\mu F)$ である。

[発明が解決しようとする課題]

以上のように、従来のウォッチドッグタイマー回路を接続したシステムでは、電源を投入してシステムが立上がるまでの時間(Tpr)と、リセット出力が「ハイ」に切換るまでのウォッチドッグタイマーパルスの途絶時間(Twd)は共に1つのコンデンサ(Ct)の容量によって決定され、電源を投入してからシステムが立上がるまでに要する時間は通常短い方が良く、当該時間(Tpr)は比較的短い時間(例えば30ms)になるよう設定されている。

ところが、上記のように時間(Tpr)を短く設定すると、パルスの途絶時間(Twd)も短くなるので、システム(1)からのウォッチドッグタイマー回路(2)への発信パルスの周期も極めて短い周期が要求されるようになる。

システム(1)からの発信パルスの周期を短くしようとすると、当該システムのソフトウェア(プログラム)内にパルス発信命令のステップを多数組込ん

特開平4-192044 (2)

充電が終了してリセット出力(3)が「ロー」になってシステムのリセット状態が解除される。つまり、システム(1)が立上がる。

リセット解除後直ちにコンデンサ(Ct)の放電が始まり、ここからウォッチドッグタイマー動作が開始され、ウォッチドッグタイマーパルス入力(5)(第12図)があるたびにコンデンサ(Ct)が放電から充電へと切り換えられ、パルスが一定周期で入力されている間は同一動作(放電と充電)を繰返す。

そして、上記パルスが途絶えてコンデンサ(Ct)の電圧があるしきい値よりも低下するとリセット出力(3)が「ハイ」になり、反リセット出力(4)が「ロー」に切換わり、システムが再びリセット状態になる。つまりシステム(1)が停止する。

上記パルスが途絶えてからリセット出力(3)が「ハイ」になるまで(反リセット出力(4)が「ロー」になるまで)の時間(Twd)は、上述の一定時間(Tpr)と同様にコンデンサの容量によって決る一定時間(Twd)である。

上記時間(Tpr)(Twd)の具体的数値は略。

でおかなければならなくなり、ソフトウェア設計上の負担が大きくなる。

一方、例えばコードレステレホンに用いられているマイクロコンピュータのように、システムの暴走が60秒程度までもの長い時間許容されるシステムがある。

従って、このように長い時間の暴走が許されるシステムでは、ソフトウェア設計上の負担を可能な限り軽減するために、上述のリセット出力が「ハイ」になるまでのパルス途絶時間(Twd)はシステムが立上がるまでの時間(Tpr)とは逆に長い方が好ましいのである。

そこで、この発明はシステムの立上り時とウォッチドッグタイマー用の時定数回路を別々に設けることにより上記問題を解決することを目的とする。

[課題を解決するための手段]

第1の発明は、ウォッチドッグタイマー回路を、リセット用の時定数回路を有するパワーオンリセット回路と、モノマルチバイブレータ(第1のモノ

特開平4-192044 (3)

マルチバイブレータ)と、該モノマルチバイブレータに接続した第2の時定数回路でもって構成し、モノマルチバイブレータの入力ポートには上記ウォッチドッグタイマーパルスと上記パワーオンリセット回路からの出力を入力するようにしウォッチドッグタイマーパルスが途絶えてから上記第2の時定数回路で決定される一定時間後に、断検出信号を出力させるようにしたウォッチドッグタイマー回路であり、第2の発明は上記断検出信号を第2のモノマルチバイブレータに入力すると共に、この第2のモノマルチバイブレータに第3の時定数回路を接続し、前記第1のモノマルチバイブレータからの断検出信号が入力されてから第3の時定数回路で決定される一定時間後に、第2のモノマルチバイブレータから第1のモノマルチバイブレータへクリア信号を出力させるようにしたウォッチドッグタイマー回路である。

【実施例】

第1～3図において、第1の発明に係る実施例をブロック図と信号のタイムチャートで示す。

によるものであるが、第3図(b)の回路を用いれば第2図における破線のようになる。

そして、第1図の回路は電源(Vcc)を投入すると第2図のタイムチャートのように反リセット信号(Q出力)が出力される。

すなわち、電源を投入すると、パワーオンリセット回路(8)によって決定されている時定数時間(Ton)の後にB入力が立上り、この立上りをトリガとしてQ出力が立上る。

これと同時にコンデンサ(Cx)に貯えられた電荷がRx/Cx端子を通して放電され、Rx/Cx端子の電位がVrefL以下に下がると放電は中止され、コンデンサ(Cx)は抵抗(Rx)を通して充電を開始される。Rx/Cx端子の電位がVrefHに達する前にWDTPがA入力に入力されると、これをトリガとしてRx/Cx端子の電位が再びVrefLに下がるまでコンデンサ(Cx)の放電が行われ、その後上記同様に充電が再開される。

WDTPの入力ごとに上記動作をくり返し、Q出力は「ハイ」を維持する。

第1図において、(8)はパワーオンリセット回路であり、その詳細は第3図に示したような抵抗とコンデンサからなる種々の時定数回路(第1の時定数回路)(7)を有するIC回路である。(8)はボルテージディテクタ回路である。(9)はリトリガブルモノマルチバイブレータで、入力ポートA、B、CLにはそれぞれウォッチドッグタイマーパルス(以下WDTPと言う)、パワーオンリセット回路(8)からの出力および電圧(Vcc)が入力され、端子Rx/Cx、Cxにはそれぞれ第1図示のように第2の時定数回路(10)としての抵抗(Rx)とコンデンサ(Cx)が接続される。

Q端子はシステムへ接続される。

第3図はボルテージディテクタIC(8)を用いたパワーオンリセット回路(8)の種々の例を示しており、ボルテージディテクタ(8)への抵抗(R1)(R2)(R3)とコンデンサ(C1)(C2)の接続の仕方及びその値によってBポートへの電圧の立上り時間を設定する。

第2図に示すB入力の立上りは第3図(C)の回路

そして、WDTPが入力されない時間が長びくとRx/Cx端子の電位はVrefHに達し、このことによりQ出力が反転して「ロー」となり、Rx/Cx端子の電位はVccとなる。このVrefHに達するに要する時間(Twdt)は抵抗(Rx)とコンデンサ(Cx)の値およびその組合せによって任意に設定される。

すなわち、この例では途絶時間(Twdt)は立上りの所要時間(Ton)よりもかなり長く設定してあり、Twdtは約7秒、Tonは約30ミリ秒に設定してある。

次に第4、5図において、第2の発明に係る実施例をブロック図と信号のタイムチャートで示す。

第4図のブロック図において第1図のブロック図と異なる点は、前記リトリガブルモノマルチバイブレータ(第1のリトリガブルモノマルチバイブレータ)(8)に加えて第2のリトリガブルモノマルチバイブレータ(11)を設けた点であり、第1のバイブレータ(9)のQ出力はシステムへ接続されると共に第2のバイブレータ(11)の入力ポートA1へも接続されている。

また、第2のバイブレータ(11)のRx1/Cx1端子お

特開平4-192044 (4)

よびC_{x1}端子には、第3の時定数回路(12)としての抵抗(R_{x1})とコンデンサ(C_{x1})が図示の通り接続しており、第1のバイブレータ(9)のクリア端子C_Lへの入力、第2のバイブレータ(11)の出力端子Q₁バーからの出力としてある。

したがって、この第4図の回路は電源を投入すると第5図示のように動作する。

すなわち、WDTPの途絶から時間(T_{wdt})だけ経過して、第1のバイブレータ(9)からのQ出力が「ロー」となるまでは第2図で説明した内容と同様であるが、Q出力が第2のバイブレータ(11)のA₁ポートにも入力されているので、このQ出力の立下りによってQ₁バー出力が反転して「ロー」になり、コンデンサ(C_{x1})はR_{x1}/C_{x1}端子を通して放電される。R_{x1}/C_{x1}端子の電位がV_{refL}まで下がると放電が止まると共に抵抗(R_{x1})を通じて充電が開始される。

Q出力の立下りから第3の時定数回路(12)によって設定されている時間(T_{pw})の経過後にR_{x1}/C_{x1}端子の電位がV_{refH}に達するとQ₁バー出力は反転

して「ハイ」となり、この出力が第1のバイブレータ(9)のクリア信号となるので、Q出力が「ハイ」に反転して、システムのリセット状態が解除される。

上記時間(T_{pw})は抵抗(R_{x1})とコンデンサ(C_{x1})の値とその組合せによって種々変更設定される。

この考案中のモノマルチバイブレータは、市販のICを用いることができ、このICとしては株式会社東芝製のTC74HC123AP/AF、三菱電機製のM74HC123あるいはその他適当なモノマルチバイブレータICを用いることができる。

次に第6～9図においてさらに具体的な実施例を示す。第6図に示したものは、前記第1、第2のモノマルチバイブレータ(9)(11)を組み込んだ市販のICを用いたもので、この例では株式会社東芝製のTC74HC123AP/AFを用いている。

第6図に示した回路と第4図に示した回路との相違点は、第4図の回路では第1のモノマルチバイブレータ(9)のQ出力が直接システムへ接続されているのに対して、第6図の回路では第1のモノ

マルチバイブレータ(9)のQ出力とパワーオンリセット回路(6)の出力とがアンドゲート(13)を介してシステム側へ出力される点と、第6図における電源端子(V_{ccp})には抵抗(R₀)とコンデンサ(C₀)が介装してある点である。

上記相違点について順に説明していく。

すなわち、前者の相違点におけるアンドゲート(13)は電源電圧の監視用としてこの回路に挿入したもので、電源電圧(V_{cc})は常に一定であることが要求されるが、時として一時的に低下することもありうる(例えば第5図における縦線)。

電源電圧が低下するとシステムの暴走が起こるので、その暴走が起こる前につまり、電源電圧が低下した時点でシステムへリセット信号を出力させれば良いのであるが、このICのモノマルチバイブレータ(9)のB入力は立下り信号についてはQ出力を出さないため、パワーオンリセット回路(6)が電源電圧の低下を検出して、これをB入力にのみ出力させたのではモノマルチバイブレータ(9)はQ出力を出さない。したがって、パワーオン

リセット回路(6)からの出力をアンドゲート(13)を介してシステム側出力へ接続し、パワーオンリセット回路(6)が電源電圧の低下を検出した場合にも、モノマルチバイブレータ(9)からQ出力が出た場合と同様に、システム側へリセット信号を出力させるようにしているのである。

後者の相違点における抵抗(R₀)とコンデンサ(C₀)は、電源の投入時にパワーオンリセット回路(6)から出るノイズの影響を除去するためのものであり、例えば、電源投入時に第10図のようなノイズ(n)がパワーオンリセット回路(6)から出力されると、モノマルチバイブレータ(9)はこれを立上り信号と誤判断してしまうおそれがある。

そこで、モノマルチバイブレータ(9)の電源端子(V_{ccp})に上記抵抗(R₀)とコンデンサ(C₀)を挿入することにより、該端子での電圧の立上りを上記ノイズ(n)が生じる時間帯(t_a)よりも遅らせ、モノマルチバイブレータ(9)が上記ノイズ(n)に基づいてQ出力を出すのを防止しているのである。

以上のように、第6図に示したより具体的な回

特開平4-192044 (5)

路では、第4図に示した回路と同種の機能(システムへのリセット信号の出力と所定時間後のリセット解除)と共に、電源電圧の低下によってもリセット信号を出力するという機能および、電源投入時のパワーオンリセット回路(8)からのノイズによる誤動作を防ぐという機能を備えている。

なお、上記電源端子(Vccp)に接続した抵抗(R0)とコンデンサ(C0)は、コンデンサ(C0)の放電用ダイオード等を抵抗(R0)に平行に挿入する等の変更を行ってもよいし、第3図(a)及び(c)のようにパワーオンリセット回路(8)の出力端にコンデンサを挿入したり、第3図(b)のようにパワーオンリセット回路(8)の入力側での電圧を抵抗(R1)(R3)で分割するなどしてもよい。つまり、パワーオンリセット回路(8)として第3図(a)、(b)および(c)のようなものを用いれば、第6図における抵抗(R0)とコンデンサ(C0)は省略しても差し支えない。

次に第7図の回路について説明すると、この回路も第6図示の回路と同様に、電源電圧低下時にリセット信号を出力させる機能を付加させたもの

で、電源低下によるシステムの暴走も未然に防止できている。

次に第8図の回路について説明すると、この回路も第6図、第7図の回路と同様に、電源電圧低下時にリセット信号を出力させる機能を付加させたもので、第4図の回路と異なる点は、パワーオンリセット回路(8)からの出力をBポートへ入力すると共に、シュミットトリガインバータ(16)を介して第2のモノマルチバイブレータ(11)のクリア端子(CL1)へも入力している点である。

この第2のモノマルチバイブレータ(11)についてもB1ポートは立下りにのみ応答し、クリア端子(CL1)は立上り立下りの両方に対して応答するので、パワーオンリセット回路(8)の出力が電源電圧の低下などにより「ロー」になると、第2のモノマルチバイブレータ(11)によりQ1バー出力が反転し、このQ1バー出力が第1のモノマルチバイブレータ(9)のクリア端子(CL)に接続してあることから、第7図示におけるパワーオンリセット回路(8)出力が直接にクリア端子(CL)に入力されている

で、第6図と異なる点は、パワーオンリセット回路(8)の出力を入力ポート(B)に入れるのではなく、シュミットトリガインバータ(14)とインバータ(15)を直列に挿入してクリア端子(CL)に入力している点であり、入力ポート(B)への入力としては第2のモノマルチバイブレータ(11)のQ1バー出力を入れている。

すなわち、このICのB入力は前述の通り立下り信号ではQ出力が出ないので、立上り、立下りの両方に対して応答するクリア端子(CL)を利用しているのであり、Q端子からリセット信号が出ているのであり、Q端子からリセット信号が出てシステムのリセットが行われた後、このリセット状態を解除するための信号が第5図示の通りQ1バー出力なのであるが、このQ1バー出力がBポートに入力されて、このQ1バー出力の立上りによってQ出力の「ロー」から「ハイ」への切換えが行われるようになっている。

つまり、この回路においても、パワーオンリセット回路(8)の出力の立下り(電源電圧の低下)を検出して、システムへリセット信号を出力させて、

のと同様に、第1のモノマルチバイブレータ(9)のQ出力としてリセット信号を出力させるようになっている。

そして、パワーオンリセット回路(8)の出力を第2のモノマルチバイブレータ(11)へ入力するやり方としては、上記のように、クリア端子(CL1)へ入力するやり方と、第9図示のように、立下りに対しても応答するA1ポートへアンドゲート(17)を介して入力するやり方もある。

すなわち、この第9図示の回路においても、パワーオンリセット回路(8)から電源電圧の低下などを検出した出力があれば、それが当該A1ポートへ入力されることにより、第2のモノマルチバイブレータ(11)のQ1バー出力が反転して(第1のモノマルチバイブレータ(9)のクリア端子入力切替わって)、Q出力からはリセット信号が出力される。

以上の説明は、パワーオンリセット回路の出力が電源投入後「ロー」から「ハイ」に切り替わる場合について述べたが、逆論理であれば入力ポートA及びBを切り換えれば同様に動作するし、ま

特開平4-192044 (6)

た出力Q及びQバーも互いに逆論理であるので取り出す出力論理も任意に選択できると共に、A1にQを接続する代わりにA1を「ロー」レベルとし、B1をQバーと接続してもよい。

また、上記実施例では、A入力B入力共シュミットトリガ入力のモノマルチを使用しているが、入力波形の立ち上がり、立ち下がりが十分早ければシュミットトリガ入力でなくてもよい。

〔発明の効果〕

以上のように、この発明に係るウォッチドッグタイマー回路を用いれば、時定数回路が別々に設けられているので、システムを立上げるまでの時間(Ton)と、一旦システムが起動してから、パルス途絶後システム側へリセット信号を出力するまでの時間(Twdt)はお互いに無関係に別々の値に設定することができ、その結果、後者の時間は、例外的に長くてもよい例えばコードレステレホンのような機器において、システム側のソフトウェアをより自由に作ることができる。

すなわち、例えばある一定の短いステップごと

にウォッチドッグタイマーパルスの発信命令を組込まなくてはならないなどのソフトウェア製作上の制約がなくなる。さらに、暴走ルーチン中にWDTPの発信命令が含まれる危険性を大幅に減らすことができる。

また、第2の発明においては、一旦リセットがかかったシステムの、リセットを解除して再びシステム復帰させるまでの時間(Tpw)も上述の時間(Ton)、(Twdt)とは全く無関係に、任意の値に設定することができる。

したがって、上記時間(Twdt)を例外的に長く設定しても、システムの復帰はきわめて短時間に設定することができる。

4. 図面の簡単な説明

第1図は第1の発明に係る実施例のブロック図、第2図はその信号タイムチャート、第3図はパワーオンリセット回路の種々の変形例を示す回路図、第4図は第2の発明に係る実施例の、第5図は同信号タイムチャート、第2の発明に係る種々の実施例を示す

図は電源投入時の電源電圧とパワーオンリセット回路からの出力の変化を示す図、第11図は従来回路のブロック図、第12図はその信号タイムチャートである。

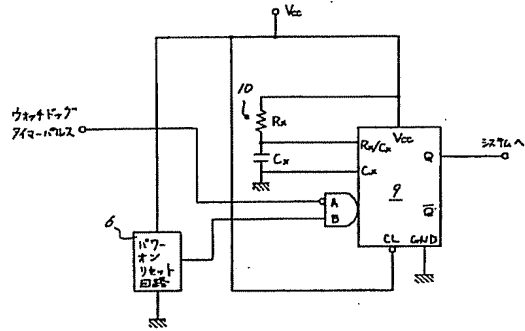
- (1)・・・システム、
- (2)・・・ウォッチドッグタイマー回路、
- (6)・・・パワーオンリセット回路、
- (7)・・・第1の時定数回路、
- (9)・・・第1のモノマルチバイブレータ、
- (10)・・・第2の時定数回路、
- (11)・・・第2のモノマルチバイブレータ、
- (12)・・・第3の時定数回路、
- (WDTP)・・・ウォッチドッグタイマーパルス、
- (Ton)(Twdt)(Tpw)・・・時間、

特許出願人

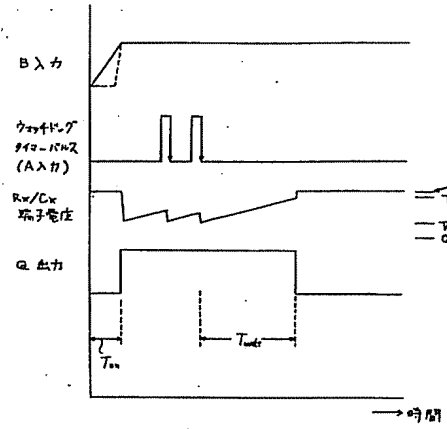
株式会社船井電機研究所

特開平4-192044 (7)

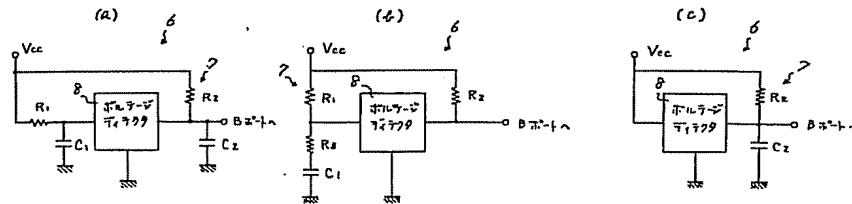
第 1 図



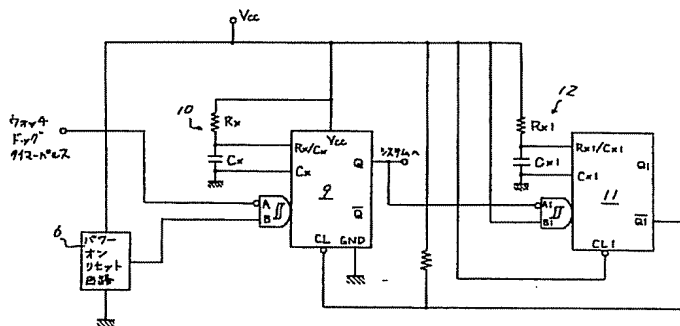
第 2 図



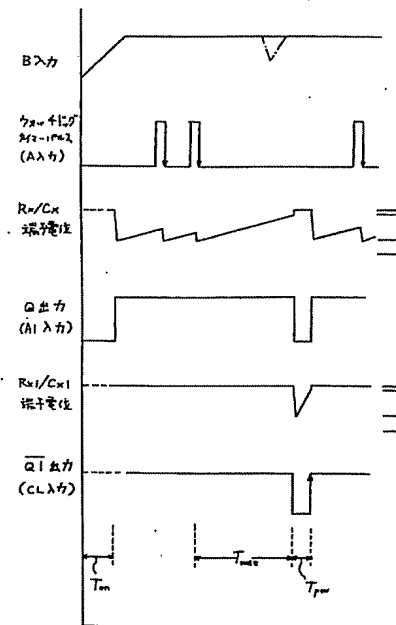
第 3 図



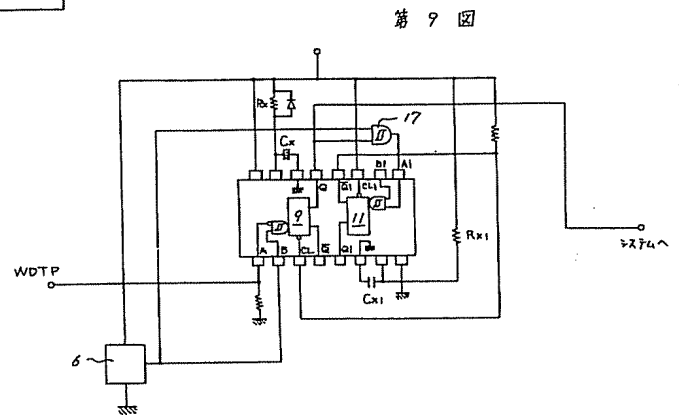
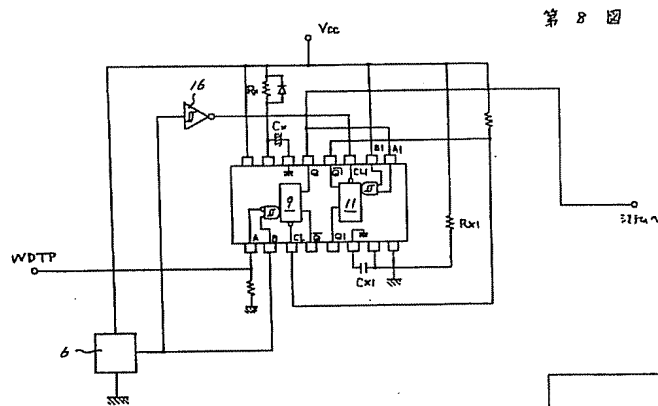
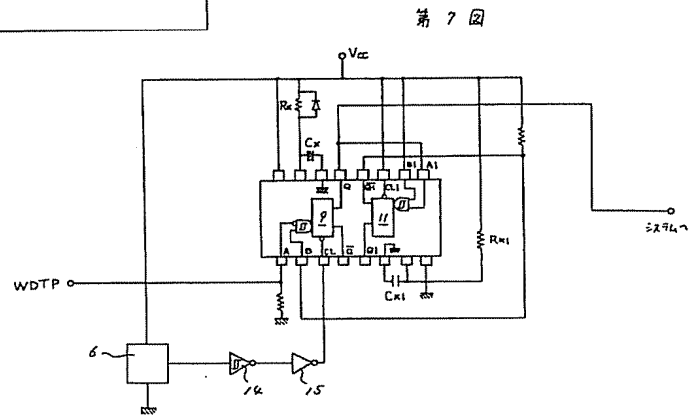
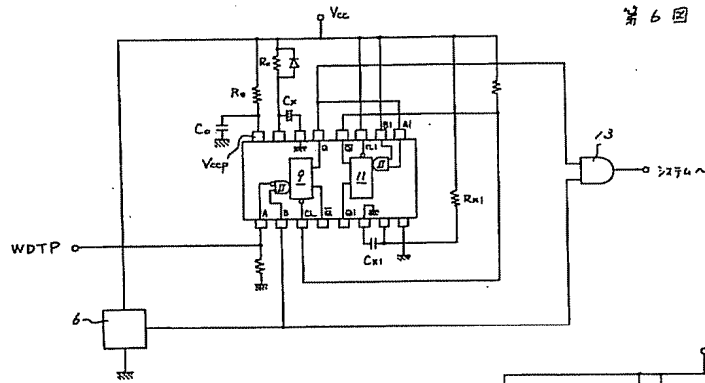
第 4 図



第 5 図

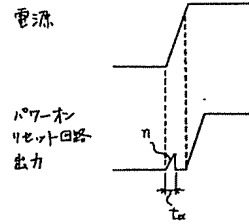


特開平4-192044 (8)

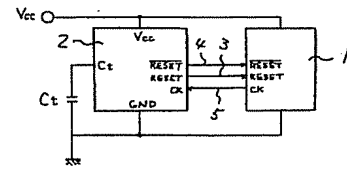


特開平4-192044 (9)

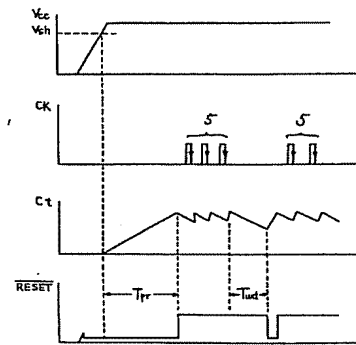
第10図



第11図



第12図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-192044

(43)Date of publication of application : 10.07.1992

(51)Int.Cl.

G06F 11/30

(21)Application number : 02-327033

(71)Applicant : FUNAI DENKI KENKYUSHO:KK

(22)Date of filing : 27.11.1990

(72)Inventor : MISAWA MASAYUKI

(54) WATCHDOG TIMER CIRCUIT

(57)Abstract:

PURPOSE: To reduce the software designing burden in a system where the runaway over a long time is permitted by providing a system starting time constant circuit and a watchdog timer time constant circuit independently of each other.

CONSTITUTION: When a power supply V_{cc} is applied, the input B of a retriggerable monomultiple vibrator 9 rise after a time constant time T_{on} decided by a time constant circuit 7 of a power-on reset circuit 6. Then the output Q rises with the rise of the output B used as a trigger. When the time during which no watchdog timer pulse is inputted lasts long, the potential of a terminal RX/CX reaches a prescribed level and the output Q is inverted and set at an L level. The time T_{wdt} needed for the terminal RX/CX to reach the prescribed level is optionally set by a time constant circuit 10, and this interruption time T_{wdt} and the time T_{on} needed for rise can be set at different values independently of each other. Thus it is possible to produce the software at the system side with higher flexibility for such an equipment as a cordless telephone, etc., where the runaway over a long time is permitted.

